

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Hidetoshi KOIKE

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE WHICH PREVENTS PEELING OF LOW-PERMITTIVITY FILM BY  
USING MULTILEVEL INTERCONNECTION

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

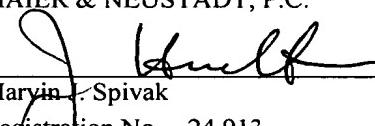
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-340588	September 30, 2003

Certified copies of the corresponding Convention Application(s)

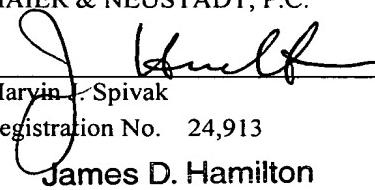
- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

  
James D. Hamilton  
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

0251627

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 9月30日

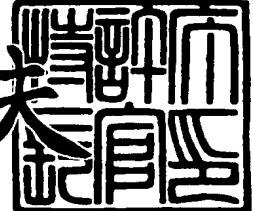
出願番号 Application Number: 特願2003-340588

[ST. 10/C]: [JP2003-340588]

出願人 Applicant(s): 株式会社東芝

2003年10月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫  


**【書類名】** 特許願  
**【整理番号】** A000206362  
**【提出日】** 平成15年 9月30日  
**【あて先】** 特許庁長官 殿  
**【国際特許分類】** H01L 21/92  
**【発明者】**  
**【住所又は居所】** 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所  
**【氏名】** 小池 英敏  
**【特許出願人】**  
**【識別番号】** 000003078  
**【氏名又は名称】** 株式会社 東芝  
**【代理人】**  
**【識別番号】** 100058479  
**【弁理士】**  
**【氏名又は名称】** 鈴江 武彦  
**【電話番号】** 03-3502-3181  
**【選任した代理人】**  
**【識別番号】** 100091351  
**【弁理士】**  
**【氏名又は名称】** 河野 哲  
**【選任した代理人】**  
**【識別番号】** 100088683  
**【弁理士】**  
**【氏名又は名称】** 中村 誠  
**【選任した代理人】**  
**【識別番号】** 100108855  
**【弁理士】**  
**【氏名又は名称】** 蔵田 昌俊  
**【選任した代理人】**  
**【識別番号】** 100084618  
**【弁理士】**  
**【氏名又は名称】** 村松 貞男  
**【選任した代理人】**  
**【識別番号】** 100092196  
**【弁理士】**  
**【氏名又は名称】** 橋本 良郎  
**【手数料の表示】**  
**【予納台帳番号】** 011567  
**【納付金額】** 21,000円  
**【提出物件の目録】**  
**【物件名】** 特許請求の範囲 1  
**【物件名】** 明細書 1  
**【物件名】** 図面 1  
**【物件名】** 要約書 1

**【書類名】特許請求の範囲****【請求項 1】**

半導体チップと、

前記半導体チップ上に形成された、低誘電率の絶縁層と配線層とが積層された多層配線における最上層の配線層の一部により形成され、前記半導体チップの各コーナー部にそれぞれ接して配置されるアライメントマークと、

前記アライメントマークの下層に位置する前記低誘電率の絶縁層に形成されたコンタクトホールに埋め込み形成され、前記アライメントマークにコンタクトされるプラグとを具備することを特徴とする半導体装置。

**【請求項 2】**

半導体チップと、

前記半導体チップ上に形成された、低誘電率の絶縁層と配線層とが積層された多層配線における最上層の配線層の一部により形成され、前記半導体チップの各コーナー部にそれぞれ接して配置されるガードリングと、

前記ガードリングの下層に位置する前記低誘電率の絶縁層に形成されたコンタクトホールに埋め込み形成され、前記ガードリングにコンタクトされるプラグとを具備することを特徴とする半導体装置。

**【請求項 3】**

半導体チップと、

前記半導体チップ上に形成された、低誘電率の絶縁層と配線層とが積層された多層配線における最上層の配線層の一部により形成され、前記半導体チップの各コーナー部にそれぞれ接して配置されるガードリングと、

前記ガードリングの下層に位置する前記低誘電率の絶縁層に形成された第1のコンタクトホールに埋め込み形成され、前記ガードリングにコンタクトされる第1のプラグと、

前記多層配線における最上層の配線層の一部により形成され、前記半導体チップの少なくとも1つのコーナー部近傍に配置されるアライメントマークと、

前記アライメントマークの下層に位置する前記低誘電率の絶縁層に形成された第2のコンタクトホールに埋め込み形成され、前記アライメントマークにコンタクトされる第2のプラグとを具備することを特徴とする半導体装置。

**【請求項 4】**

前記アライメントマークは、前記多層配線における各絶縁層に形成されたコンタクトホールにそれぞれ埋め込み形成されたプラグを介在して前記半導体チップの表面にコンタクトされることを特徴とする請求項1または3に記載の半導体装置。

**【請求項 5】**

前記ガードリングは、前記半導体チップの4辺に沿って配置されることを特徴とする請求項2または3に記載の半導体装置。

**【書類名】**明細書

**【発明の名称】**半導体装置

**【技術分野】**

**【0001】**

この発明は半導体装置に関するもので、特に半導体装置における配線構造に係り、最上層の配線層の一部を利用してアライメントマークやガードリングを形成する際のパターン配置に関するものである。

**【背景技術】**

**【0002】**

半導体メモリの高密度化、大容量に伴ってチップ全体が無欠陥である事を要求するのは実質的に不可能になっており、不良救済回路を内蔵した冗長構成（リダンダンシー：Redundancy）を採用することがメモリLSI及びメモリを混載したLSIの常識となっている。不良セルに替えてスペアセルを使用するためには、通常、テスターでメモリセルの良否をテストして不良セルの番地を記憶した後、ポリシリコンやアルミニウム等で形成されたヒューズ（Fuse）をレーザーによって溶断（ブロー：Blow）し、不良セルに替わってスペアセルが選択されるように回路接続を切り替える技術が一般的である。このヒューズをブローする際に使用される位置合わせのためのアライメントマークは、最上層のメタル配線層で形成され、チップの表面に露出するように配置されている。

**【0003】**

また近年、LSIの微細化に伴って配線ピッチも縮小され、配線間容量の増大がLSIにおける動作速度の高速化の妨げになっている。この問題を解決するために、多層配線層間の絶縁膜として低誘電率（Low-kとも呼ぶ、比誘電率3.0以下）膜を用い、配線間の容量を低減するプロセスが採用され始めている。

**【0004】**

従来技術によるアライメントマークについて、多層配線層間の絶縁膜に低誘電率膜を用いた4層メタル（Cu）配線を適用したLSI（半導体装置）を例に取って図14乃至図23を用いて説明する。

**【0005】**

図14は、従来技術によるアライメントマークの配置について説明するためのもので、チップのコーナー部を拡大して示す平面図である。チップ11の各辺に沿ってダイシングライン領域12が配置され、コーナー部（チップ端）近傍11Aには、所定の間隔△W（例えば16.5μm）を持ってアライメントマーク領域13が設けられている。そして、このアライメントマーク領域13内に、最上層のメタル（Cu）配線からなるアライメントマーク14が配置されている。このアライメントマーク14は、幅が10μm以上のストライプがL字型に直交して配置されたパターンになっている。

**【0006】**

次に、上記図14に示した半導体装置の製造方法について、図15乃至図22により説明する（例えば特許文献1参照）。図15乃至図22は、図14の15-15線に沿った断面構造を製造工程順に示している。

**【0007】**

まず、図15に示すように、シリコン基板16の主表面にトレンチを形成し、このトレンチ内に絶縁膜を埋め込んで素子分離領域（STI領域）17を形成する。さらに拡散層18のような受動素子やMOSFET 19のような能動素子を上記素子分離領域17以外の領域（素子領域）に形成する。

**【0008】**

次に、図16に示すように、上記基板16上に例えばBPSG膜のような第1層間絶縁膜20を堆積形成し、この第1層間絶縁膜20の表面をCMP法を用いて平坦化する。その後、フォトリソグラフィー法を用いて上記第1層間絶縁膜20に第1コンタクトホールを開口し、タンゲステン21をコンタクトホールに埋め込む。さらに、上記第1層間絶縁膜20上にSiOC膜のような低誘電率の第2層間絶縁膜22を堆積形成し、フォトリソ

グラフィー法を用いて、上記第2層間絶縁膜22を選択エッチングして所定の形状の第1配線溝を形成する。その後、全面に第1Cu層23を堆積形成し、この第1Cu層23の表面をCMP法を用いて平坦化する。これによって、上記第2層間絶縁膜22の第1配線溝内に第1Cu層23が埋め込まれる。その後、Cuの酸化及び拡散防止のために、上記第2層間絶縁膜22及び第1Cu層23上に、薄いSiCNのようなバリア膜24を堆積形成する。これは良く知られているCu配線のシングルダマシン工程である。

#### 【0009】

次に、図17に示すように、上記バリア膜24上にSiOC膜のような低誘電率の第3層間絶縁膜25を堆積形成し、フォトリソグラフィー法を用いて、第2コンタクトホール26を開口する。続いて、フォトリソグラフィー法を用いて、上記第3層間絶縁膜25を選択エッチングし、所定の形状の第2配線溝を形成する。その後、全面に第2Cu層27を堆積形成し、この第2Cu層27の表面をCMP法を用いて平坦化する。これによって、上記第3層間絶縁膜25の第2配線溝内に第2Cu層27が埋め込まれる。そして、Cuの酸化及び拡散防止のために、上記第3層間絶縁膜25及び第2Cu層27上に、薄いSiCN膜のようなバリア膜28を堆積形成する。ここまでは良く知られているCu配線のデュアルダマシン工程である。

#### 【0010】

引き続き、図18に示すように、上記バリア膜28上にSiOC膜のような低誘電率の第4層間絶縁膜29を堆積形成し、フォトリソグラフィー法を用いて第3コンタクトホール30を開口する。続いて、フォトリソグラフィー法を用いて、上記第4層間絶縁膜29を選択エッチングし、第3配線溝を所定の形状にエッチングする。その後、上記第4層間絶縁膜29上の全面に第3Cu層31を堆積形成し、この第3Cu層31の表面をCMP法を用いて平坦化する。これによって、上記第4層間絶縁膜29の第3配線溝内に第3Cu層31が埋め込まれる。その後、Cuの酸化及び拡散防止のために、上記第4層間絶縁膜29及び第3Cu層31上に、薄いSiCN膜のようなバリア膜32を堆積する。

#### 【0011】

次に、図19に示すように、上記バリア膜32上にSiOC膜のような低誘電率の第5層間絶縁膜33を堆積形成し、フォトリソグラフィー法を用いて第4コンタクトホール34を開口する。続いて、フォトリソグラフィー法を用いて、上記第5層間絶縁膜33を選択エッチングし、所定の形状の第4配線溝を形成する。その後、上記第5層間絶縁膜33上の全面に第4Cu層35を堆積形成し、この第4Cu層35をCMP法を用いて平坦化する。これによって、上記第4層間絶縁膜33の第4配線溝内に第4Cu層35が埋め込まれる。そして、Cuの酸化及び拡散防止のために、上記第4層間絶縁膜33及び第4Cu層35上に、薄いSiCN膜のようなバリア膜36を堆積形成する。4層Cu配線の場合には、上記アライメントマーク13は、この第4Cu層35で形成される。

#### 【0012】

その後、図20に示すように、上記バリア膜36上に例えばPSG膜のようなパッシベーション膜37を堆積形成し、フォトリソグラフィー法を用いてボンディングパッドとなる第4Cu層35上のパッシベーション膜37をエッチングして除去する。さらに、バリア膜36をエッチングし、ボンディングパッド用のスルーホール38を開口する。その後、ボンディングパッドとなるA1層を蒸着形成し、このA1層39をフォトリソグラフィー法を用いて所定の形状にパターニングすることにより、ボンディングパッド39を形成する。

#### 【0013】

次に、図21に示すように、上記パッシベーション膜37上に表面保護のためポリイミド層40を形成する。そして、フォトリソグラフィー法を用いて、このポリイミド層40のボンディングパッド39上、アライメントマーク14上、ダイシングライン12上を除去する。

#### 【0014】

その後、図22に示すように、上記ポリイミド層40をマスクとして、RIE等の方法

でパッシベーション膜37をエッティングし、アライメントマーク14上、並びにダイシングライン12上の窓開け工程を行う。ここで、図22に示すように、上記アライメントマーク14は、ダイシングライン12から離れた位置に配置されている。

### 【0015】

ところで、上述したような多層配線層間の絶縁膜に低誘電率膜を用いると、低誘電率膜が物理的に脆いため、図23に示すようにウェーハをダイシングした時にチップ11のコーナー部（角）11Aから層間絶縁膜が剥がれる（斜線を付した領域43で示す）、という問題が発生する。この剥がれは、特に低誘電率の層間絶縁膜と薄いSiCN膜のようなバリア膜との間で起こり易い。

【特許文献1】米国特許第6,392,300号

### 【発明の開示】

#### 【発明が解決しようとする課題】

### 【0016】

上記のように従来の半導体装置は、ウェーハをダイシングした時にチップのコーナー部から層間絶縁膜が剥がれるという問題があった。

### 【0017】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、ウェーハをダイシングした時にチップのコーナー部から層間絶縁膜が剥がれるのを抑制できる半導体装置を提供することにある。

#### 【課題を解決するための手段】

### 【0018】

この発明の一態様によると、半導体チップと、前記半導体チップ上に形成された、低誘電率の絶縁層と配線層とが積層された多層配線における最上層の配線層の一部により形成され、前記半導体チップの各コーナー部にそれぞれ接して配置されるアライメントマークと、前記アライメントマークの下層に位置する前記低誘電率の絶縁層に形成されたコンタクトホールに埋め込み形成され、前記アライメントマークにコンタクトされるプラグとを具備する半導体装置が提供される。

### 【0019】

また、この発明の一態様によると、半導体チップと、前記半導体チップ上に形成された、低誘電率の絶縁層と配線層とが積層された多層配線における最上層の配線層の一部により形成され、前記半導体チップの各コーナー部にそれぞれ接して配置されるガードリングと、前記ガードリングの下層に位置する前記低誘電率の絶縁層に形成されたコンタクトホールに埋め込み形成され、前記ガードリングにコンタクトされるプラグとを具備する半導体装置が提供される。

### 【0020】

更に、この発明の一態様によると、半導体チップと、前記半導体チップ上に形成された、低誘電率の絶縁層と配線層とが積層された多層配線における最上層の配線層の一部により形成され、前記半導体チップの各コーナー部にそれぞれ接して配置されるガードリングと、前記ガードリングの下層に位置する前記低誘電率の絶縁層に形成された第1のコンタクトホールに埋め込み形成され、前記ガードリングにコンタクトされる第1のプラグと、前記多層配線における最上層の配線層の一部により形成され、前記半導体チップの少なくとも1つのコーナー部近傍に配置されるアライメントマークと、前記アライメントマークの下層に位置する前記低誘電率の絶縁層に形成された第2のコンタクトホールに埋め込み形成され、前記アライメントマークにコンタクトされる第2のプラグとを具備する半導体装置が提供される。

### 【0021】

上記のような構成によれば、アライメントマークまたはガードリングが半導体チップのコーナー部に接して配置され、ダイシングラインと接しており、且つその下層にアライメントマークとコンタクトしてプラグを配置しているので、半導体チップのコーナー部を物理的に補強できる。これによって、低誘電率の層間絶縁膜の剥がれを効果的に防止するこ

とができる。

**【発明の効果】**

**【0022】**

この発明によれば、ウェーハをダイシングした時にチップのコーナー部から層間絶縁膜が剥がれるのを抑制できる半導体装置が得られる。

**【発明を実施するための最良の形態】**

**【0023】**

以下、この発明の実施形態について図面を参照して説明する。

**[第1の実施形態]**

図1乃至図9はそれぞれ、この発明の第1の実施形態に係る半導体装置について説明するためのもので、図1はチップのコーナー部を拡大して示す平面図、図2乃至図9はそれぞれ図1の2-2線に沿った断面構成図である。ここでは、多層配線層間の絶縁膜に低誘電率膜（比誘電率が3.0から2.5）を用いた4層メタル（Cu）配線LSIに適用した例を説明する。

**【0024】**

図1に示すように、半導体チップ51の各辺に沿ってダイシングライン領域52が配置され、コーナー部（チップ端）51Aにはアライメントマーク領域53が設けられている。このアライメントマーク領域53内におけるチップ51の各辺に沿って、最上層のメタル（Cu）配線からなるアライメントマーク54が配置されている。このアライメントマーク54は、幅が10μm以上のストライプがチップ51のコーナー部51にL字型に直交して配置されたパターンになっている。

**【0025】**

次に、上記図1に示した半導体装置の製造方法について、図2乃至図9により説明する。図2乃至図9はそれぞれ、図1の2-2線に沿った断面構造を製造工程順に示している。

**【0026】**

まず、図2に示すように、半導体チップ51の本体であるシリコン基板（半導体基板）56の主表面にトレンチを形成し、このトレンチ内に絶縁膜を埋め込んで素子分離領域（STI領域）57を形成する。さらに拡散層58のような受動素子やMOSFET 59のような能動素子を素子分離領域57以外の領域（素子領域）に形成する。

**【0027】**

次に、図3に示すように、上記基板56上に例えばBPSG膜のような第1層間絶縁膜60を堆積形成し、この第1層間絶縁膜60の表面をCMP法を用いて平坦化する。その後、フォトリソグラフィー法を用いて上記第1層間絶縁膜60に第1コンタクトホールを開口し、タングステン61をコンタクトホールに埋め込む。さらに、上記第1層間絶縁膜60上にSiOC膜のような低誘電率の第2層間絶縁膜62を堆積形成し、フォトリソグラフィー法を用いて、上記第2層間絶縁膜62を選択エッチングすることにより所定の形状の第1配線溝を形成する。その後、上記第2層間絶縁膜62上の全面に第1Cu層63を堆積形成し、この第1Cu層63の表面をCMP法を用いて平坦化する。これによって、上記第2層間絶縁膜62の第1配線溝内に第1Cu層63が埋め込まれる。そして、Cuの酸化及び拡散防止のために、上記第2層間絶縁膜62及び第1Cu層63上に、薄いSiCNのようなバリア膜64を堆積形成する。これは良く知られているCu配線のシングルダマシン工程である。

**【0028】**

次に、図4に示すように、上記バリア膜64上にSiOC膜のような低誘電率の第3層間絶縁膜65を堆積形成し、フォトリソグラフィー法を用いて第2コンタクトホール66を開口する。続いて、フォトリソグラフィー法を用いて、上記第3層間絶縁膜65を選択エッチングし、所定の形状の第2配線溝を形成する。その後、全面に第2Cu層67を堆積形成し、この第2Cu層67の表面をCMP法を用いて平坦化する。これによって、上記第3層間絶縁膜65の第2配線溝内に第2Cu層67が埋め込まれる。引き続き、Cu

の酸化及び拡散防止のために、上記第3層間絶縁膜65及び第2Cu層67上に、薄いSiCN膜のようなバリア膜68を堆積する。これは良く知られているCu配線のデュアルダマシン工程である。

#### 【0029】

次に、図5に示すように、上記バリア膜68上にSiOC膜のような低誘電率の第4層間絶縁膜69を堆積形成し、フォトリソグラフィー法を用いて第3コンタクトホール70を開口する。続いて、フォトリソグラフィー法を用いて、上記第4層間絶縁膜69をエッチングし、所定の形状の第3配線溝を形成する。その後、第4層間絶縁膜69上の全面に第3Cu層71を堆積形成し、この第3Cu層71の表面をCMP法を用いて平坦化する。これによって、上記第4層間絶縁膜69の第3配線溝内に第3Cu層71が埋め込まれる。そして、Cuの酸化及び拡散防止のために、上記第4層間絶縁膜69及び第3Cu層71上に、薄いSiCN膜のようなバリア膜72を堆積形成する。

#### 【0030】

引き続き、図6に示すように、上記バリア膜72上にSiOC膜のような低誘電率の第5層間絶縁膜73を堆積形成し、フォトリソグラフィー法を用いて第4コンタクトホール74を開口する。続いて、フォトリソグラフィー法を用いて、上記第5層間絶縁膜73を選択エッチングし、所定の形状の第4配線溝を形成する。その後、上記第5層間絶縁膜73上の全面に第4Cu層75を堆積形成し、この第4Cu層75の表面をCMP法を用いて平坦化する。これによって、上記第5層間絶縁膜73の第4配線溝内に第4Cu層75が埋め込まれる。そして、Cuの酸化及び拡散防止のために、上記第5層間絶縁膜73上に薄いSiCN膜のようなバリア膜76を堆積形成する。4層Cu配線の場合には、アライメントマーク及びヒューズは、この最上層の第4Cu層75の一部で形成される。上記ヒューズは、例えば不良セルに替わってスペアセルが選択されるように回路接続を切り替えるためのもので、上記アライメントマークは、このヒューズを溶断する時の位置合わせに用いる。

#### 【0031】

次に、図7に示すように、上記バリア膜76上にPSG膜のようなパッシベーション膜77を堆積し、フォトリソグラフィー法を用いてボンディングパッドとなる第4Cu層75上のパッシベーション膜77をエッチングして除去する。さらに、バリア膜76をエッチングし、ボンディングパッド用のスルーホール78を開口する。その後、ボンディングパッドとなるA1層79を蒸着形成し、このA1層79をフォトリソグラフィー法を用いて所定の形状にパターニングすることにより、ボンディングパッド79を形成する。

#### 【0032】

次に、図8に示すように、上記パッシベーション膜77上に表面保護のためにポリイミド層80を形成する。そして、フォトリソグラフィー法を用いて、このポリイミド層80のボンディングパッド79上、アライメントマーク54上、ダイシングライン52上を除去する。

#### 【0033】

次に、図9に示すように、上記ポリイミド層80をマスクとして、RIE等の方法でパッシベーション膜77をエッチングし、アライメントマーク54上、ダイシングライン52上の窓開け工程を行う。

#### 【0034】

本発明による技術では、図1に示したように、アライメントマーク54はチップ端51Aと接した位置に配置されている。チップ端51Aからアライメントマーク54までの距離は実質的に0である。また、図9に示したように、アライメントマーク54はダイシングライン52と接した位置に配置され、第4乃至第1Cu層75, 71, 67, 63及びタンゲステン61でそれぞれ形成されたプラグを介してシリコン基板56(拡散層58)に電気的に接続されている。

#### 【0035】

従来の技術では、多層配線層間の絶縁膜に低誘電率膜を用いると、その膜が物理的に脆

いため、ウェーハをダイシングした時にチップのコーナー部から剥がれる問題が生じた。しかしながら、本発明による技術では、アライメントマーク54はダイシングライン52と接しており、且つアライメントマーク54は下層のCu配線（プラグ）75, 71, 67, 63を通してシリコン基板56に接続された構造となっているため、チップ端51Aを物理的に補強できる。これによって、低誘電率の層間絶縁膜73, 69, 65, 62と薄いSiCN膜のようなバリア膜76, 72, 68, 64との間で起こりやすい剥がれを抑制できる。従って、図23に示したように、ウェーハをダイシングした時にチップのコーナー部から層間絶縁膜が剥がれる問題は発生しない。

### 【0036】

#### [第2の実施形態]

図10及び図11はそれぞれ、この発明の第2の実施形態に係る半導体装置について説明するためのもので、図10はチップのコーナー部を拡大して示す平面図、図11は図10の11-11線に沿った断面構成図である。本第2の実施形態では、第1の実施形態と同様に、アライメントマークを、多層配線の層間絶縁膜に低誘電率膜を用いた4層メタル（Cu）配線LSIに適用した半導体装置を例にとって示している。

### 【0037】

図10に示すように、チップ51の各辺に沿ってダイシングライン領域52が配置され、コーナー部（チップ端）51Aにはガードリング55が設けられている。このガードリング55の幅は10μm以上であり、チップ11の4辺に沿って配置されている。また、チップ51の各辺から△W（例えば16.5μm）の間隔を持ってアライメントマーク領域53'が設けられている。このアライメントマーク領域53'内に、最上層のメタル（Cu）配線からなるアライメントマーク54'が配置されている。

### 【0038】

図10に示した構成のチップ51は、基本的には図2乃至図8に示したような製造工程を施した後、図11に示すようなパターンのポリイミド層80'をマスクとして、RIE等の方法でパッシベーション膜77をエッチングし、アライメントマーク54'上、ダイシングライン52上、ガードリング55上の窓開け工程を行うことで形成できる。

### 【0039】

このようにして形成されたチップ51は、チップ端51Aからガードリング55までの距離が実質的に0である。また、ガードリング55はダイシングライン52と接した位置に配置され、第4乃至第1Cu層及びタンゲステンでそれぞれ形成されたプラグを介してシリコン基板56（拡散層）に電気的に接続されている。

### 【0040】

すなわち、前述した第1の実施形態では、チップ端51Aにアライメントマーク54を配置したのに対し、本第2の実施形態ではガードリング55がダイシングライン領域52に接するチップ51の各辺に沿って設けられ、アライメントマーク54'がチップ端51Aから離れて配置されている点が異なっている。上記ガードリング55は、図11に示すように第1の実施形態におけるアライメントマーク54と同様に、下層のCu配線（プラグ）を通してシリコン基板に接続された構造となっている。

### 【0041】

他の基本的な構成並びに図2乃至図8に示した製造方法は同様であるので、その詳細な説明は省略する。

### 【0042】

上述したように、本第2の実施形態では、ガードリング55がダイシングライン52と接しており、且つこのガードリング55は下層のCu配線（プラグ）75, 71, 67, 63を通してシリコン基板56に接続された構造となっているため、低誘電率の層間絶縁膜と薄いSiCN膜のようなバリア膜との間で起こりやすい剥がれを物理的に抑制できる。そのため、図23に示したようにウェーハをダイシングした時にチップのコーナー部から層間絶縁膜が剥がれる問題は発生しない。

### 【0043】

なお、上記ガードリング55が、チップ11の4辺に沿って配置される場合を例に取つて説明したが、層間絶縁膜が剥がれるのはチップのコーナー部からであるので、少なくとも各コーナー部に設けられていれば、ガードリング55は必ずしもチップ11の4辺に沿つて配置する必要はない。

#### 【0044】

##### 【第3の実施形態】

図12及び図13はそれぞれ、この発明の第3の実施形態に係る半導体装置について説明するためのもので、図12はチップのコーナー部を拡大して示す平面図、図13は図12の13-13線に沿った断面構成図である。本第3の実施形態では、第1、第2の実施形態と同様に、アライメントマークを、多層配線の層間絶縁膜に低誘電率膜を用いた4層メタル(Cu)配線LSIに適用した半導体装置を例にとって示している。

#### 【0045】

図12に示すように、チップ51の各辺に沿つてダイシングライン領域52が配置されている。また、チップ51のコーナー部(チップ端)51Aには、各辺から△Wの間隔を持ってアライメントマーク領域53'が設けられている。このアライメントマーク領域53'内に、最上層のメタル(Cu)配線からなるアライメントマーク54'が配置されている。上記各チップ端51Aには、上記アライメントマーク領域53'を囲むようにガードリング55'が設けられている。

#### 【0046】

図12に示した構成は、基本的には図2乃至図8に示したような製造工程を施した後、図13に示すようなパターンのポリイミド層80'をマスクとして、RIE等の方法でパッシベーション膜77をエッチングし、アライメントマーク54'上、ダイシングライン52上、ガードリング55'上の窓開け工程を行うことで形成できる。

#### 【0047】

本実施態様では、図12に示したように、アライメントマーク54'はチップ端51'から離れた位置に配置されているが、ガードリング55'はチップ端51Aと接した位置に配置されており、且つこのガードリング55'がアライメントマーク領域53'を囲むように配置されている。

#### 【0048】

よって、チップ端51Aからガードリング55'までの距離は実質的に0である。また、ガードリング55'はダイシングライン52と接した位置に配置され、第4乃至第1Cu層及びタンクステンでそれぞれ形成されたプラグを介してシリコン基板56(拡散層)に電気的に接続されている。

#### 【0049】

図13のように、アライメントマーク54'はダイシングライン52から離れた位置に配置されているが、ガードリング55'はダイシングライン52と接した位置に配置されている。また、上記ガードリング55'は下層のCu配線(プラグ)75, 71, 67, 63を通してシリコン基板56に接続された構造となっている。このため、低誘電率の層間絶縁膜73, 69, 65, 62と薄いSiCN膜のようなバリア膜76, 72, 68, 64との間で起こりやすい剥がれを物理的に抑制することができる。更に、ガードリング55'はアライメントマーク領域53'を囲むように配置されているため、第1、第2の実施形態よりも剥がれを防止する効果が高い。

#### 【0050】

なお、上記第2、第3の実施形態では、ガードリングとアライメントマークの両方を設ける場合を例に取つて説明したが、ガードリングのみを設けても実質的に同じ効果が得られるのは勿論である。

#### 【0051】

また、第1乃至第3の実施態様において、アライメントマークがL字型のものを例に取つて説明したが、チップのコーナー部の剥がれが防止できれば他の形状であっても良い。特に、第2、第3の実施態様ではガードリングで剥がれを防止するので、T字型や十字型

等の種々の平面形状のものを用いることができる。

【0052】

以上第1乃至第3の実施形態を用いてこの発明の説明を行ったが、この発明は上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0053】

【図1】この発明の第1の実施形態に係る半導体装置について説明するためのもので、チップのコーナー部を拡大して示す平面図。

【図2】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第1の製造工程を示す断面図。

【図3】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第2の製造工程を示す断面図。

【図4】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第3の製造工程を示す断面図。

【図5】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第4の製造工程を示す断面図。

【図6】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第5の製造工程を示す断面図。

【図7】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第6の製造工程を示す断面図。

【図8】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第7の製造工程を示す断面図。

【図9】この発明の第1の実施形態に係る半導体装置の製造方法について説明するためのもので、第8の製造工程を示す断面図。

【図10】この発明の第2の実施形態に係る半導体装置について説明するためのもので、チップのコーナー部を拡大して示す平面図。

【図11】この発明の第2の実施形態に係る半導体装置の製造方法について説明するためのもので、製造工程の一部を示す断面図。

【図12】この発明の第3の実施形態に係る半導体装置について説明するためのもので、チップのコーナー部を拡大して示す平面図。

【図13】この発明の第3の実施形態に係る半導体装置の製造方法について説明するためのもので、製造工程の一部を示す断面図。

【図14】従来の半導体装置について説明するためのもので、チップのコーナー部を拡大して示す平面図。

【図15】従来の半導体装置の製造方法について説明するためのもので、第1の製造工程を示す断面図。

【図16】従来の半導体装置の製造方法について説明するためのもので、第2の製造工程を示す断面図。

【図17】従来の半導体装置の製造方法について説明するためのもので、第3の製造工程を示す断面図。

【図18】従来の半導体装置の製造方法について説明するためのもので、第4の製造工程を示す断面図。

【図19】従来の半導体装置の製造方法について説明するためのもので、第5の製造工程を示す断面図。

【図20】従来の半導体装置の製造方法について説明するためのもので、第6の製造工程を示す断面図。

【図21】従来の半導体装置の製造方法について説明するためのもので、第7の製造工程を示す断面図。

【図22】従来の半導体装置の製造方法について説明するためのもので、第8の製造工程を示す断面図。

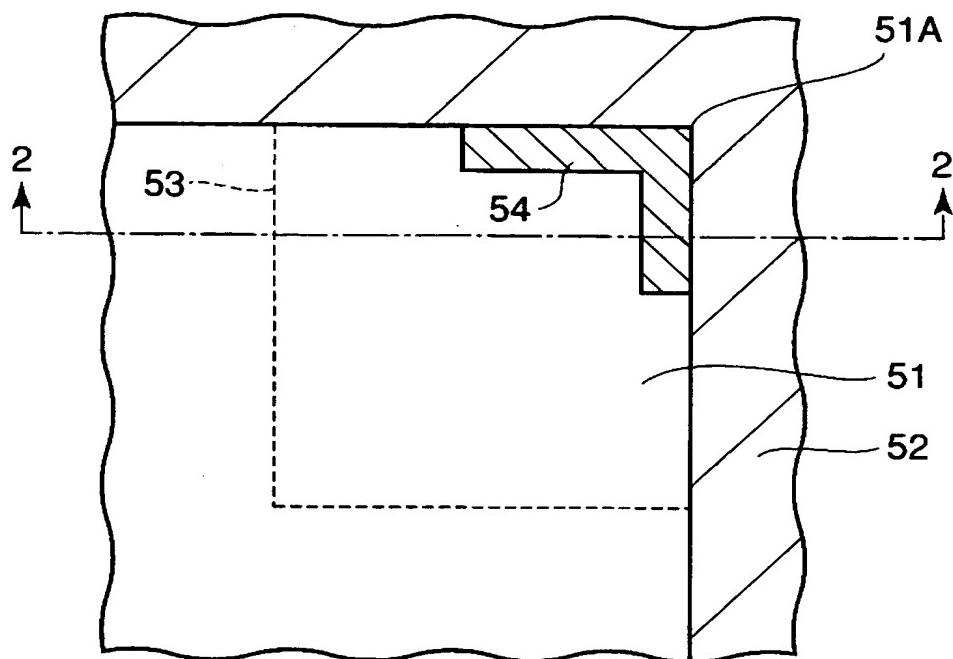
【図23】従来の半導体装置の問題点について説明するためのもので、チップのコーナー部を拡大して示す平面図。

【符号の説明】

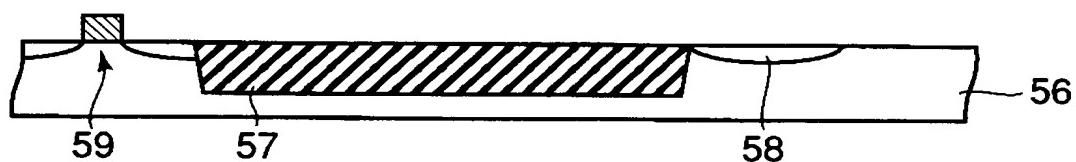
【0054】

51…半導体チップ、51A…コーナー部（チップ端）、52…ダイシングライン領域、53…アライメントマーク領域、54, 54'…アライメントマーク、55, 55'…ガードリング、56…シリコン基板（半導体基板）、57…素子分離領域、58…拡散層、59…MOSFET、60…第1層間絶縁膜、61…タンゲステン、62…第2層間絶縁膜、63…第1Cu層、64, 68, 72, 76…バリア膜、65…第3層間絶縁膜、66…第2コントタクトホール、67…第2Cu層、69…第4層間絶縁膜、70…第3コントタクトホール、71…第3Cu層、73…第5層間絶縁膜、74…第4コントタクトホール、75…第4Cu層、77…パッシベーション膜、78…スルーホール、79…ボンディングパッド（A1）、80, 80'…ポリイミド層。

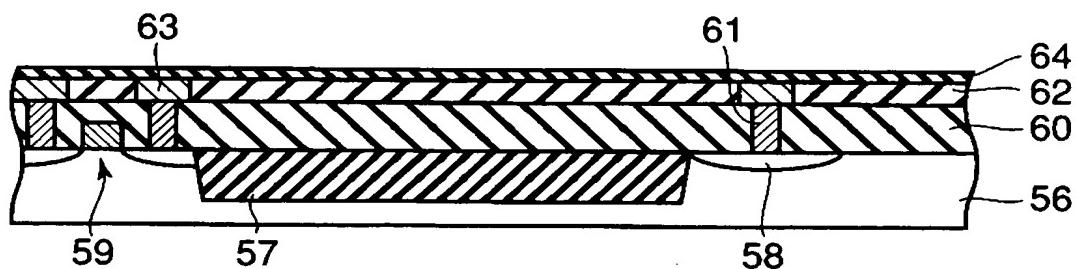
【書類名】 図面  
【図 1】



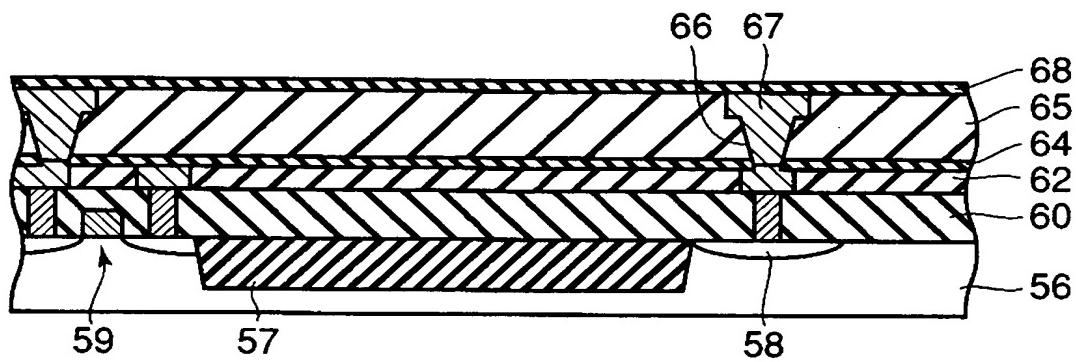
【図 2】



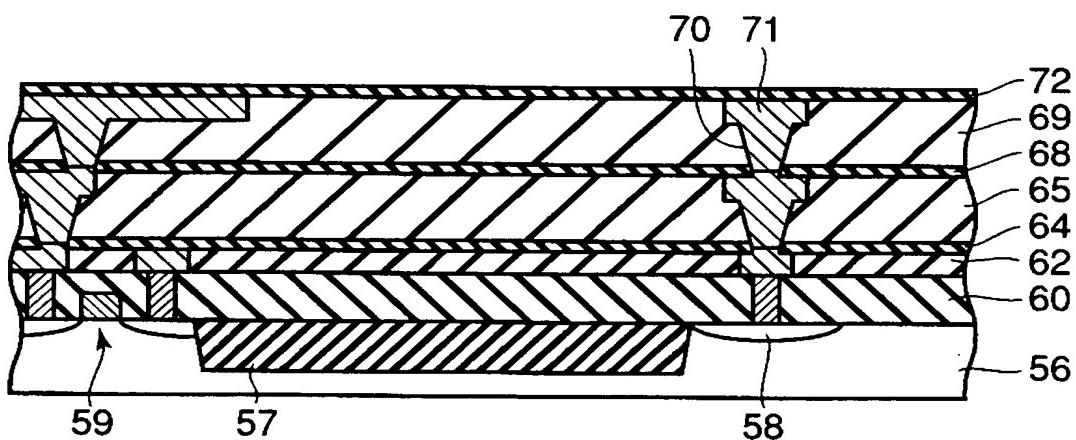
【図 3】



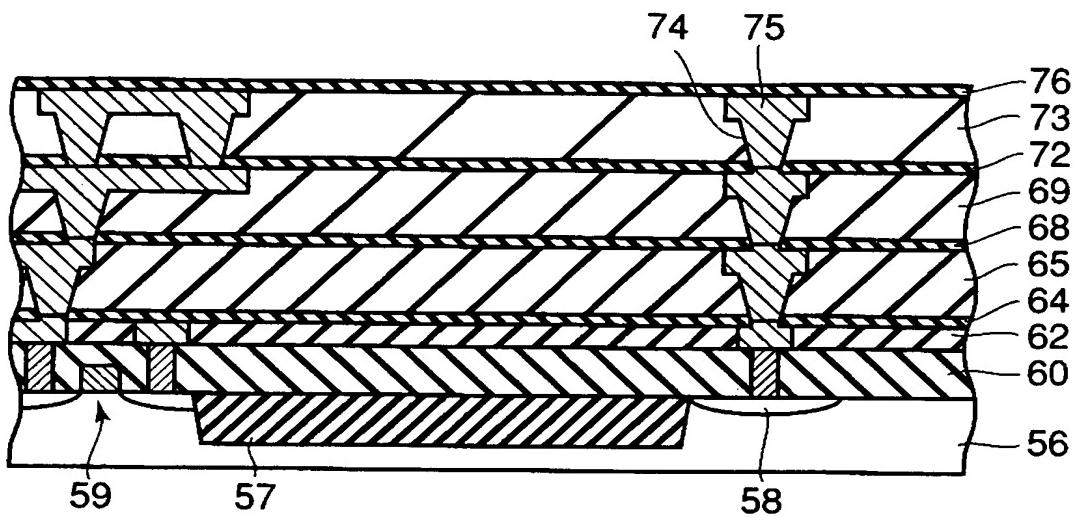
【図 4】



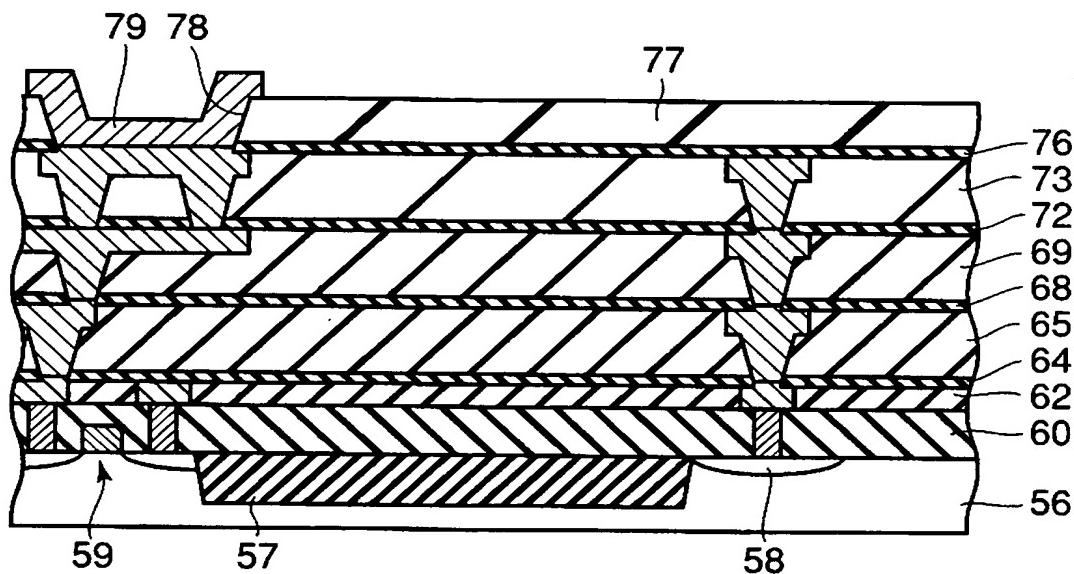
【図 5】



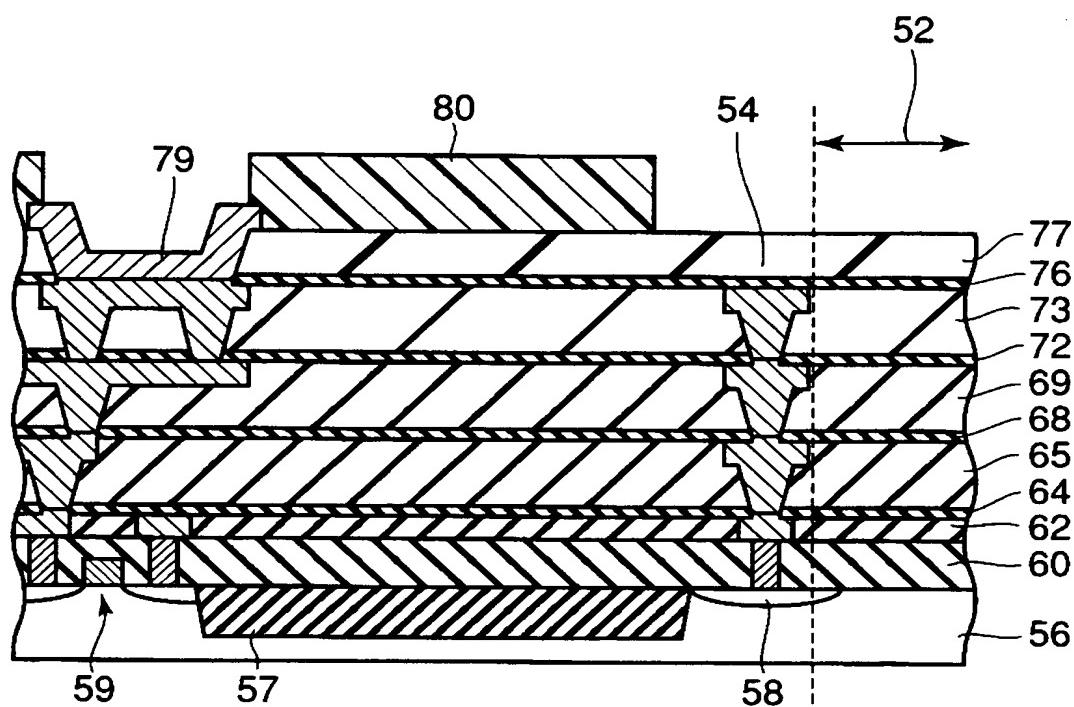
【図 6】



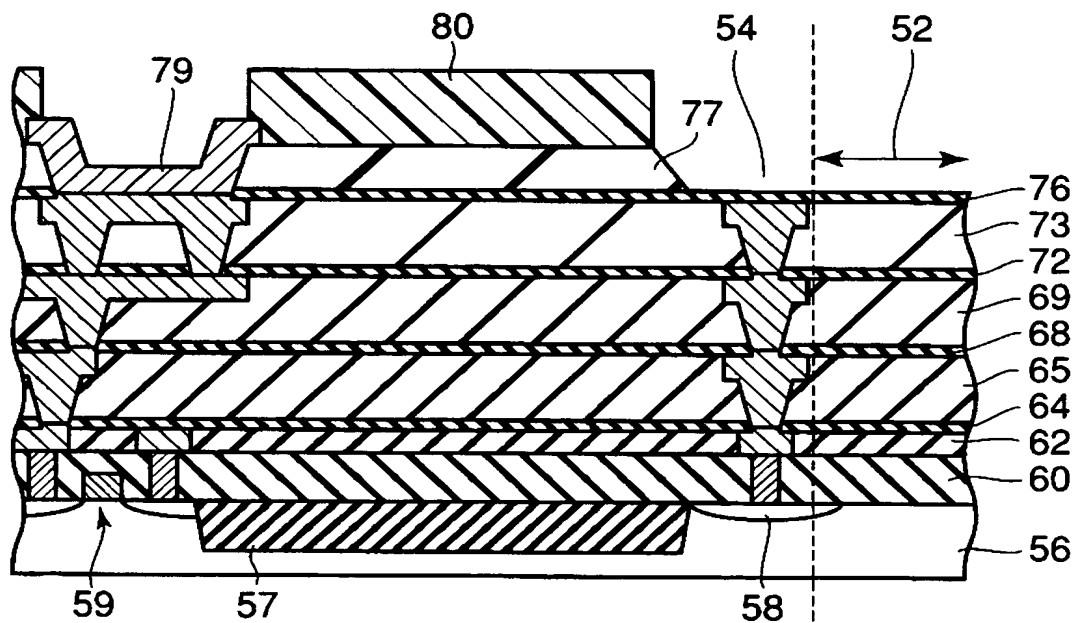
【図 7】



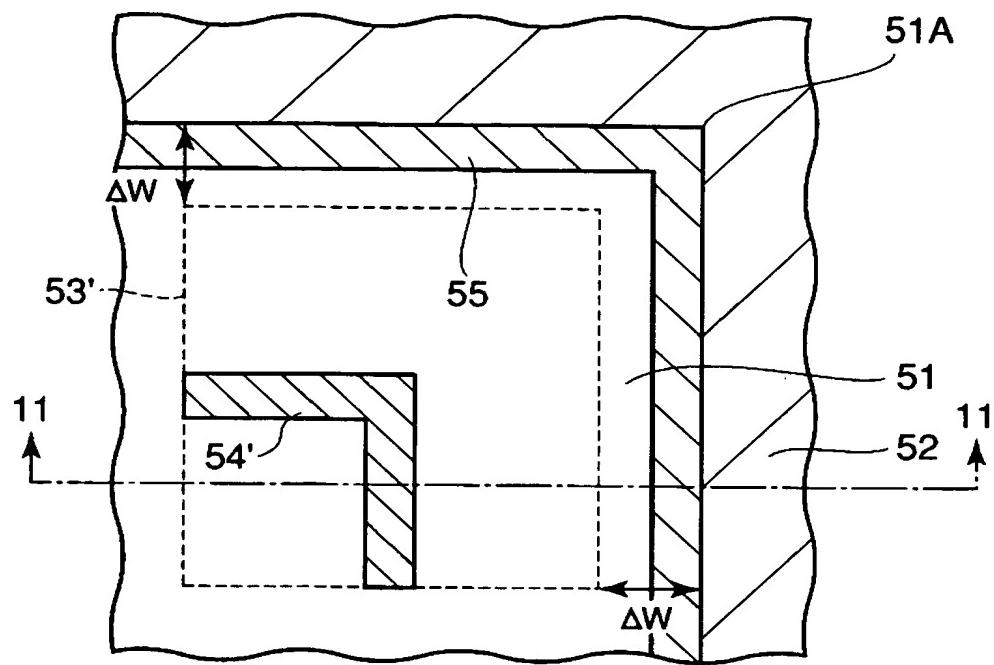
【図8】



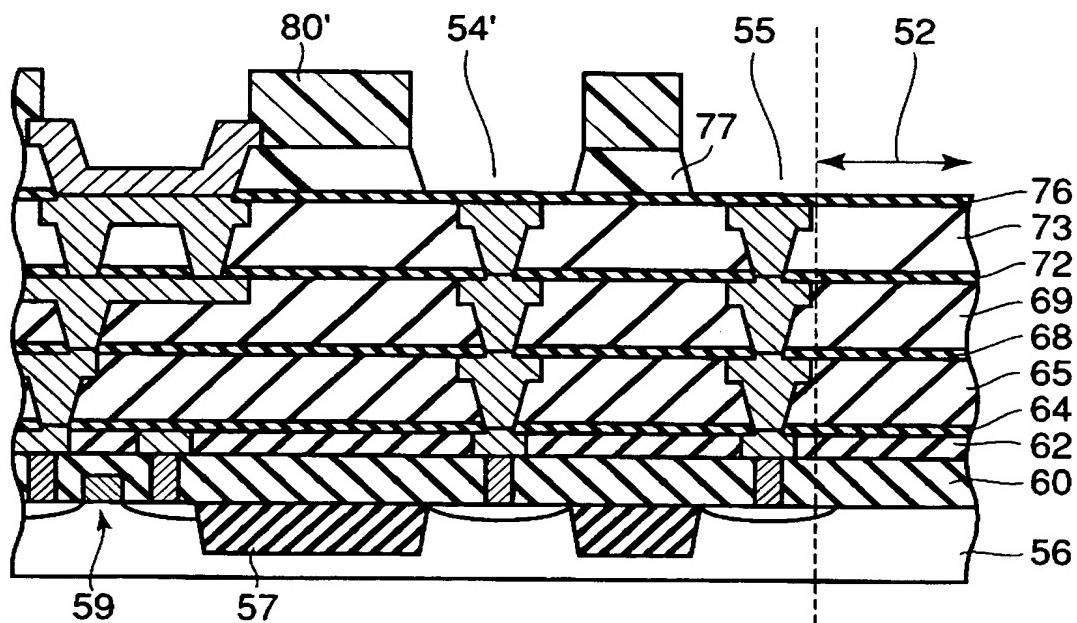
【図9】



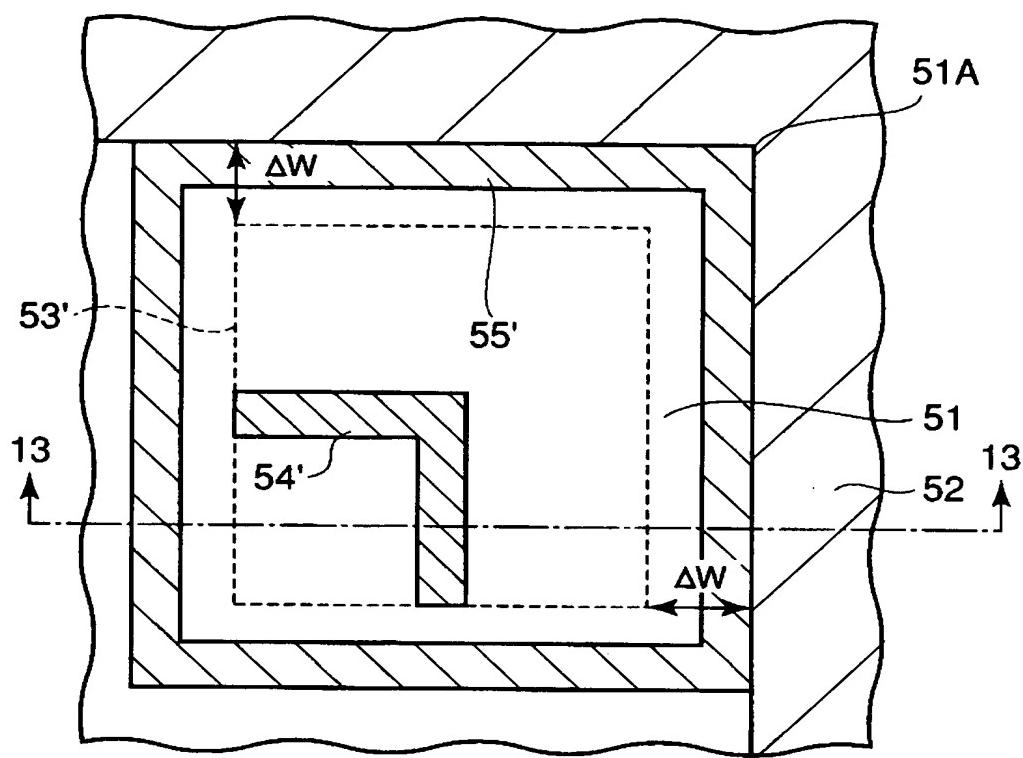
【図 10】



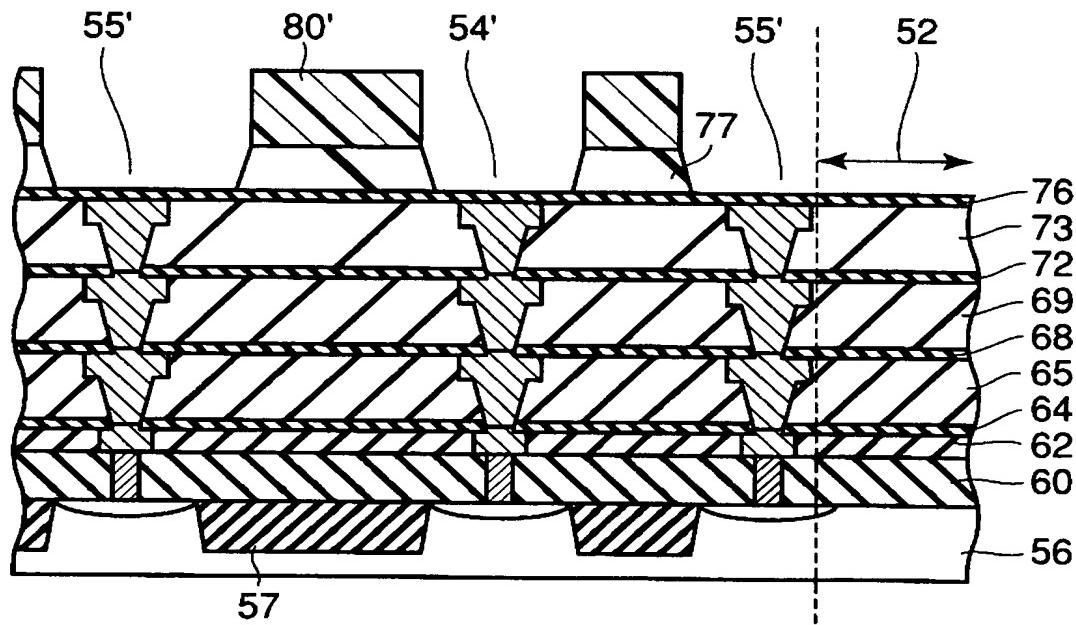
【図 11】



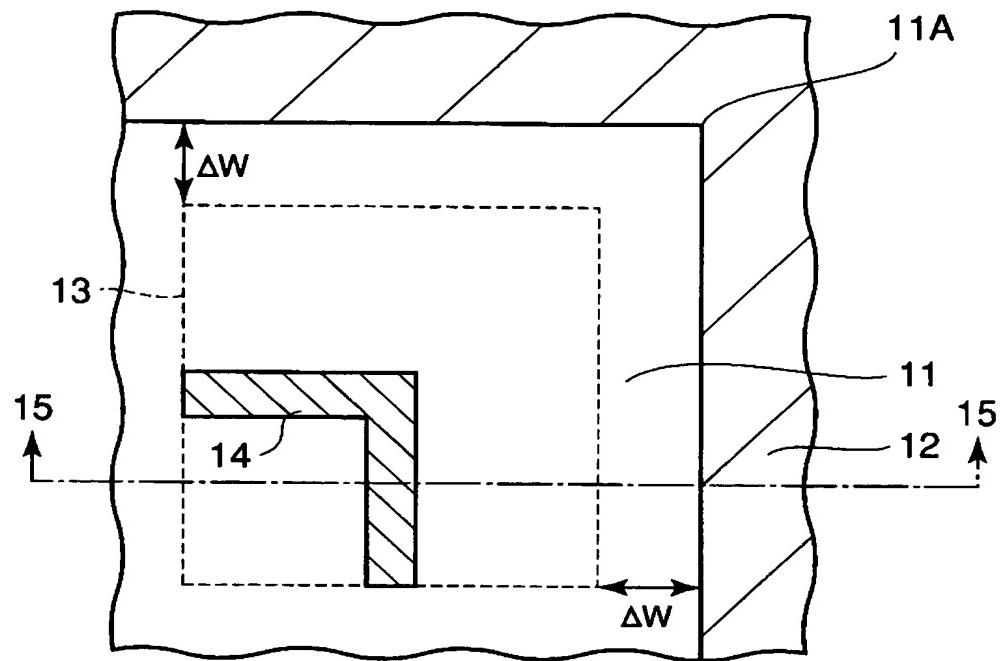
【図12】



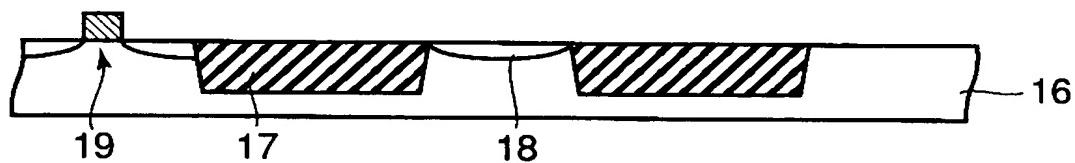
【図13】



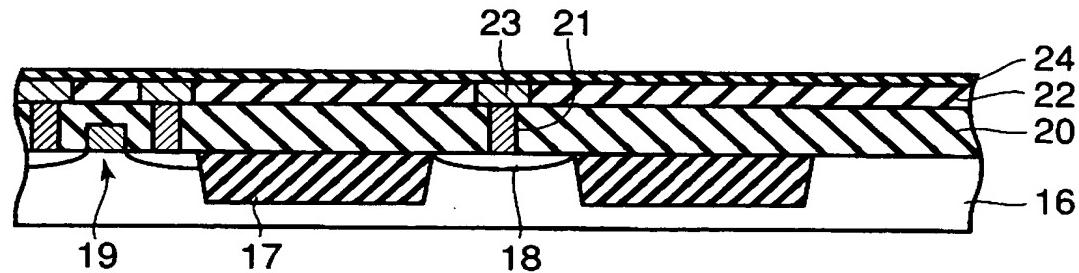
【図14】



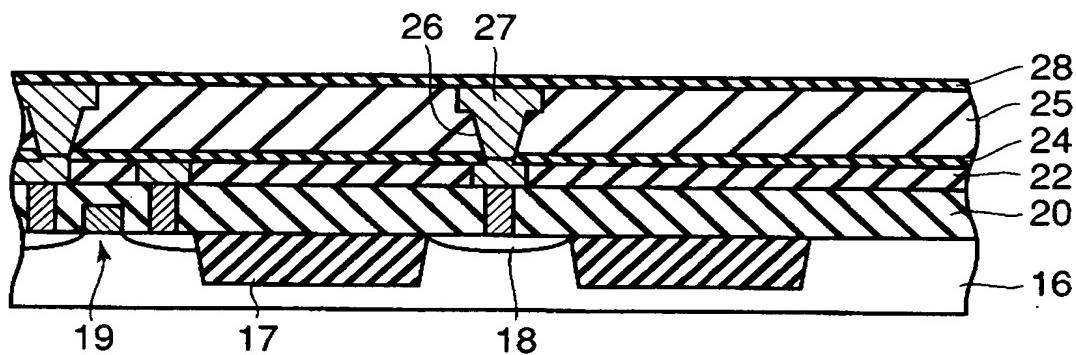
【図15】



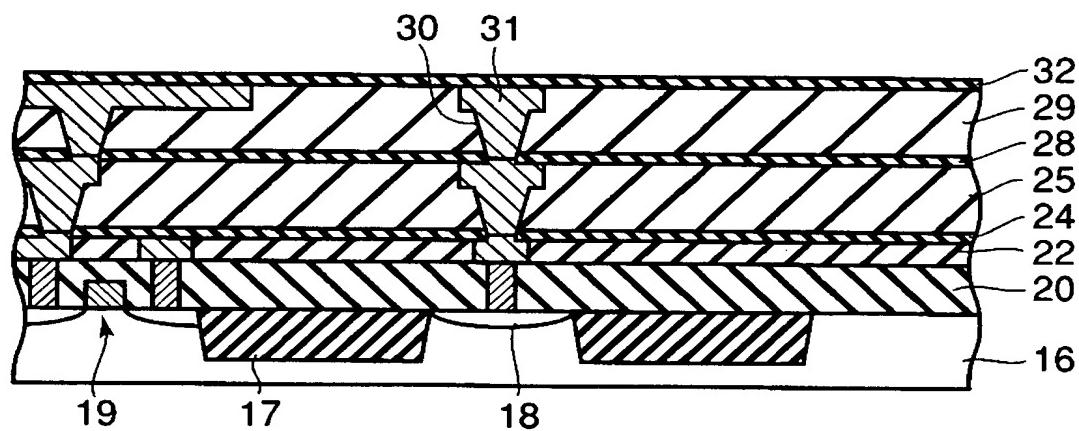
【図16】



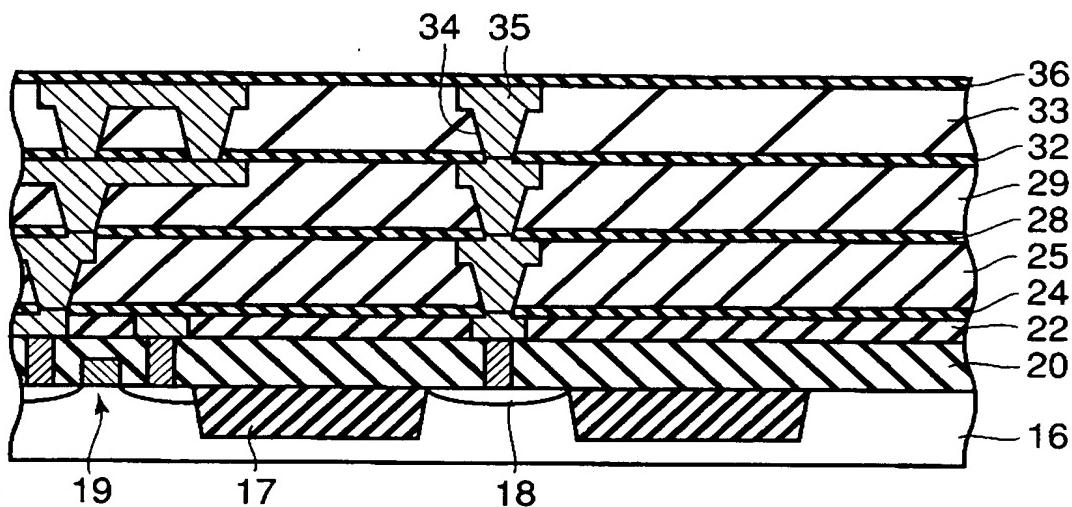
【図17】



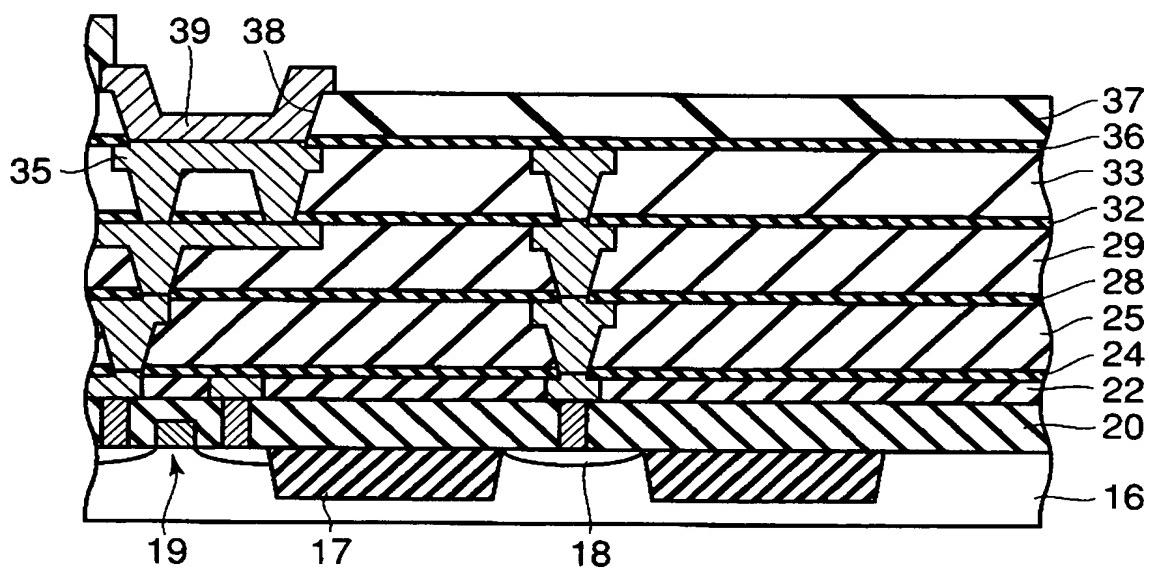
【図18】



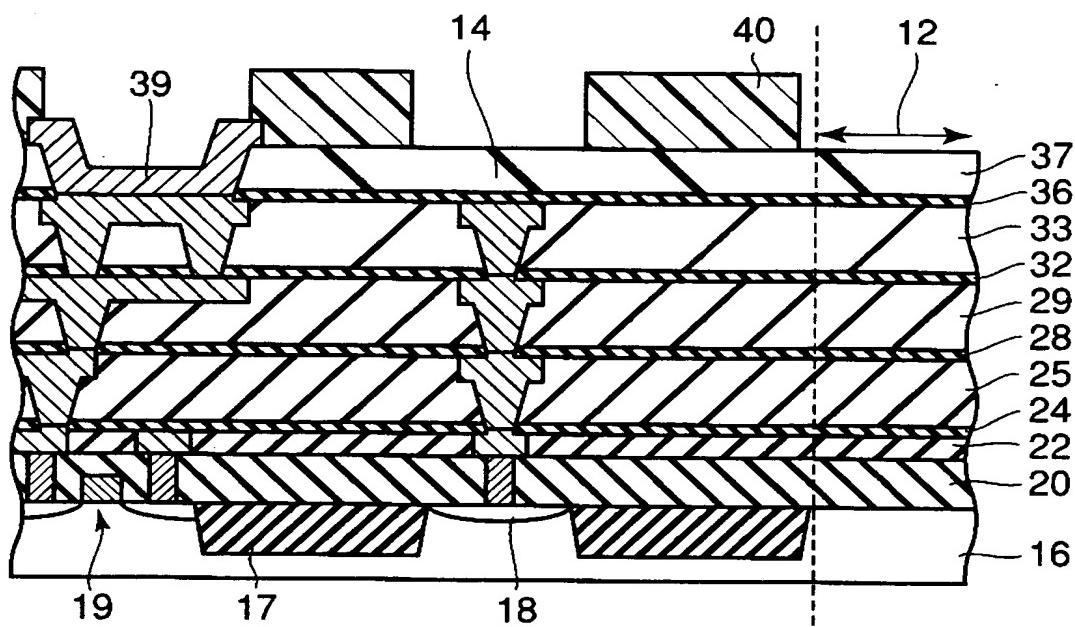
【図19】



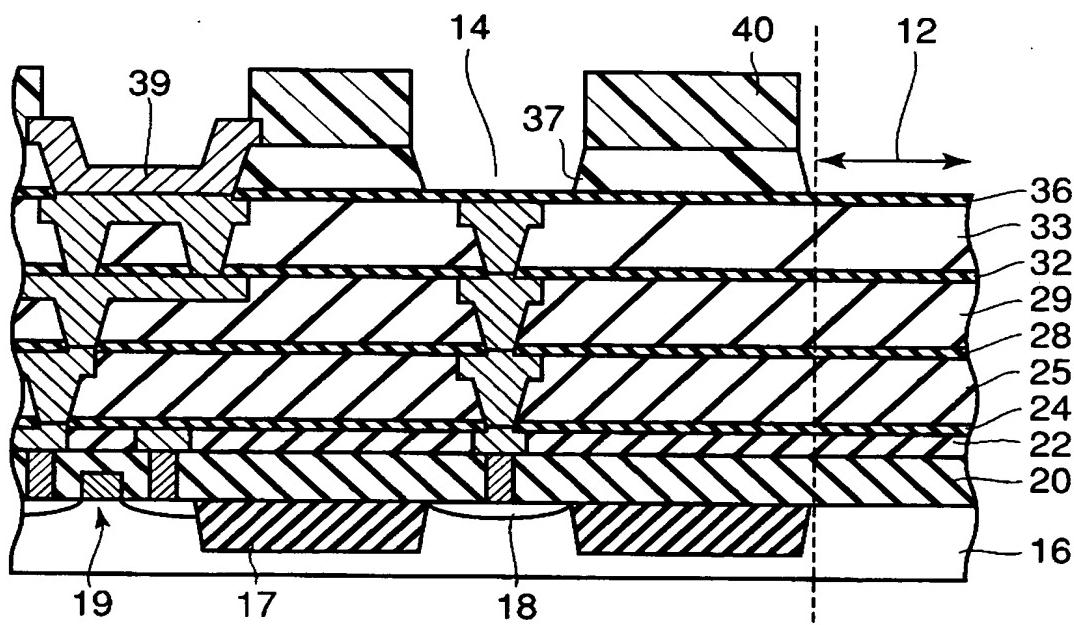
【図20】



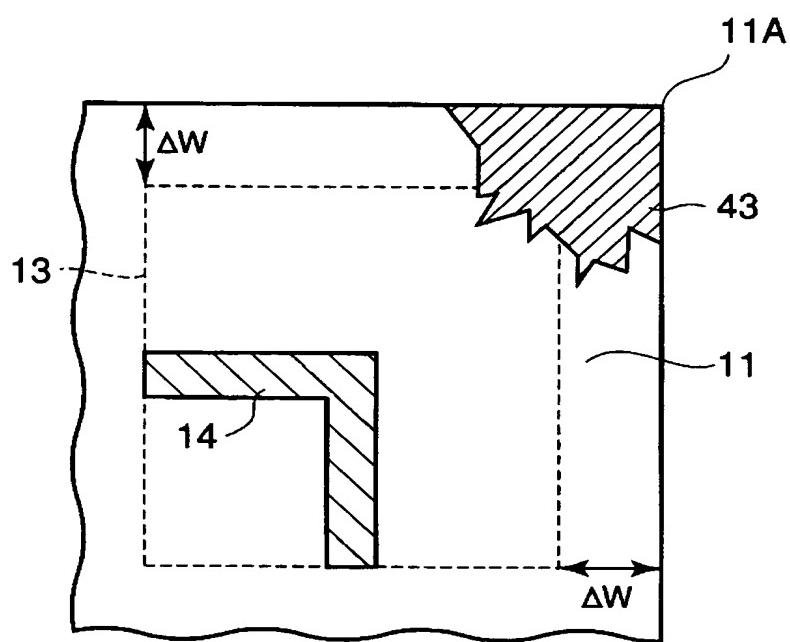
【図 2 1】



【図 2 2】



【図23】



【書類名】要約書

【要約】

【課題】ウェーハをダイシングした時にチップのコーナー部から層間絶縁膜が剥がれるのを抑制できる半導体装置を提供することを目的としている。

【解決手段】最上層のメタル配線層で形成されるアライメントマーク54を、チップ51のコーナー部51Aのダイシングライン52に沿って配置することを特徴としている。このアライメントマークは、下層のメタル配線層75, 71, 67, 63で形成されたプラグを介してシリコン基板56に接続される。これによって、チップのコーナー部を物理的に補強でき、低誘電率の層間絶縁膜62, 65, 69, 73と薄いSiCN膜のようなバリア膜64, 68, 72, 76との間で起こりやすい、ダイシング時のチップのコーナー部からの剥がれを抑制できる。

【選択図】 図1

特願2003-340588

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝